

(2) Japanese Patent Application Laid-Open No. 2001-267516 (2001)

“FERROELECTRIC MEMORY”

The following is an English translation of an extract of the above application.

5 A ferroelectric memory disclosed here comprises a plug, a ferroelectric capacitor which is formed on the plug and consists of an upper electrode, a lower electrode and a ferroelectric sandwiched between the upper electrode and the lower electrode, and a barrier layer covering a connecting surface between the plug and the lower electrode. The barrier layer includes a carbide film and a boron film, and extends over an upper surface of
10 the plug or a whole bottom surface of the lower electrode of the capacitor. Coefficient of thermal expansion of the carbide film and the boron film of the barrier layer is close to coefficient of thermal expansion of the plug. The barrier layer has extremely low resistivity of $20 \mu \Omega \cdot \text{cm}$ to $100 \mu \Omega \cdot \text{cm}$.

【特許請求の範囲】

【請求項1】 プラグと、前記プラグに接続され、上部電極と、下部電極と、前記上部電極および下部電極の間に挟まれた強誘電体とから成る強誘電体キャパシタと、前記プラグと下部電極との接続面を覆う、炭化物膜またはホウ化物膜を含むバリア層と、

を備える強誘電体メモリ。

【請求項2】 前記プラグの熱膨張率と、前記炭化物膜またはホウ化物膜の熱膨張率とは近似することを特徴とする請求項1に記載の強誘電体メモリ。

【請求項3】 前記バリア層の比抵抗は $20\mu\Omega\cdot\text{cm}$ ～ $100\mu\Omega\cdot\text{cm}$ であることを特徴とする請求項1または2に記載の強誘電体メモリ。

【請求項4】 前記バリア層は、前記下部電極の底面全体を覆うことを特徴とする請求項1～3のいずれかに記載の強誘電体メモリ。

【請求項5】 前記プラグはタングステンプラグであることを特徴とする請求項1～4のいずれかに記載の強誘電体メモリ。

【請求項6】 前記バリア層は、タングステンカーバイド膜またはタングステンボライド膜を含むことを特徴とする請求項5に記載の強誘電体メモリ。

【請求項7】 前記バリア層は、タングステンボライド膜を含み、前記タングステンボライド膜上に、イリジウム/酸化イリジウム層をさらに有することを特徴とする請求項5に記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体薄膜を用いた不揮発性メモリ素子に関する。

【0002】

【従来の技術】 強誘電体は自発分極を有し、外部電界によってその自然分極の方向を逆転させることができるので、古くからメモリ素子への応用が試みられてきた。誘電体薄膜の強誘電性を利用した不揮発性メモリは、低消費電力の汎用不揮発メモリの他、非接触カード(RF-ID、TAG)などへの応用も期待されている。不揮発性メモリとしては、MFM(金属-強誘電体-金属)構造をMOSTランジスタ上に構成するタイプが実現されている。これは、ゲート絶縁膜に強誘電体薄膜を用い、残留分極の双安定性を利用して、チャネルの導電率をON、OFF制御するものである。また、MFM構造の金属電極(M)の代わりに導電性酸化膜の電極が用いられることもある。

【0003】 MFM構造の強誘電体メモリは、デバイス形成が比較的容易であるという利点を持つため、現在では最も実用的なデバイス構造と考えられている。しかしながら、読み出し動作と書き込み動作が、分極の反転という同じ操作から成り立っているために、読み出し動作で記録が失われ、再書き込み動作が必ず必要である。こ

のため、長いサイクルタイムを要し、DRAM並みの高速化を目指すうえでは、不利な構造である。

【0004】 また、従来のFRAMは、図2に示すように、強誘電体キャパシタ50の下部電極51がプレート線を兼ね、このプレート線を介してゲート電圧を印可する動作を行っていた。しかし、強誘電体キャパシタの電極は、強誘電体膜52と反応しないような貴金属や酸化物を使用する必要がある。これらはアルミニウム(AI)や銅(Cu)のような配線材料に比べて4～100

10 倍も抵抗が高いためプレート線容量が大きく、この構造のままではアクセスタイムを短縮させることは到底不可能であった。

【0005】 アクセスタイムを短縮化し、素子の微細化を進めるには、DRAMと同じように、プレート線をキャパシタの上部に形成する構造が望ましい。そのため、図1に示すようなCOP(Capacitor on Plug)構造が有効であると考えられる。COP構造では、配線はキャパシタとは別に形成されているので、アルミニウム(AI)や銅(Cu)のような低抵抗配線で動作できるうえに、動作電圧の一部をあらかじめ負荷しておく、といった高速化の工夫も可能になり、集積度を上げ、チップサイズを小さくすることもできる。

【0006】

【発明が解決しようとする課題】 COP構造のプラグ材としては、シリコン(Si)プラグよりも低抵抗のタングステン(W)プラグが有望と考えられる。しかし、タングステンプラグは、シリコンプラグに比較して反応性が高く、プラグ上部に電極や強誘電体を形成する際の熱処理において、抵抗値の増大を招く。この結果、タング

30 ステンプラグ表面に表面荒れが生じ、ひどい場合には、剥がれが生じる。

【0007】 この問題を回避するために、電極材料と反応せず、酸化あるいは還元処理に強いバリア層が要望されている。しかし、たとえば酸化物のバリア層は、膜自体は一般に安定であり、反応性は低いものの、抵抗が高いという欠点がある。さらに、バリア層を形成するプロセス自体に酸素雰囲気が必要であり、タングステンの表面も酸化させてしまう。このとき、タングステンの酸化物である WO_3 は絶縁体であり、いったん生成されると還元することが難しい。一方、タングステンの窒化物 WN_x は、他のデバイスでも電極材料として用いられる導電体であるが、 500°C 以下の酸素中熱処理でも簡単に酸化してしまうという問題がある。

【0008】 そこで、本発明は、上記問題点に鑑み、プラグと強誘電体キャパシタとの剥離を防止し、かつ高い導電性を維持することのできる、信頼性にすぐれた高集積不揮発性メモリを提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本発明の不揮発性メモリは、プラグと、プラグに接

続され、上部電極と、下部電極と、上部および下部電極の間に挟まれた強誘電体とから成るMFM (Metal-Ferroelectric-Metal) 構造の強誘電体キャパシタと、プラグと下部電極との接界面を覆う炭化物膜またはホウ化物膜を含むバリア層とを備える。

【0010】炭化物やホウ化物は、酸化物に比べて比抵抗が低く、耐熱性も高い。たとえば、炭化物としては、 SiC ($100\mu\Omega\cdot\text{cm}$)、 ZrC ($40\mu\Omega\cdot\text{cm}$)、 WC ($20\sim50\mu\Omega\cdot\text{cm}$)、 W_2C ($80\mu\Omega\cdot\text{cm}$)、 HfC ($110\mu\Omega\cdot\text{cm}$)、 TaC ($40\mu\Omega\cdot\text{cm}$) を用いることができる。ホウ化物としては、 ZrB_2 ($20\mu\Omega\cdot\text{cm}$)、 HfB_2 ($10\mu\Omega\cdot\text{cm}$)、 TaB_2 ($40\mu\Omega\cdot\text{cm}$)、 NbB_2 ($30\mu\Omega\cdot\text{cm}$)、 LaB_6 ($30\mu\Omega\cdot\text{cm}$)、 W_2B ($50\mu\Omega\cdot\text{cm}$) を用いることができる。これらは、コンタクト抵抗としては、十分に低い比抵抗を有する。

【0011】プラグの熱膨張率と、バリア層の熱膨張率は近似する。これにより、従来のキャパシタ構造で問題となっていた、プラグと下部電極との間の膜剥がれを効果的に防止し、メモリの信頼性を向上することができる。

【0012】プラグは、たとえばタングステンプラグである。この場合、炭化物膜あるいはホウ化物膜として、タングステンカーバイド膜またはタングステンボライド膜を用いる。このような炭化物膜あるいはホウ化物膜を形成することにより、タングステン表面が安定する。また、タングステンプラグの熱膨張率と、炭化タングステンあるいはホウ化タングステンの熱膨張率とは近いため、プラグと下部電極との間で、膜剥がれが生じにくい。

【0013】このようなバリア層は、酸化、還元がされにくく、インテグレーション後にもコンタクト抵抗が上昇することがなく、高速動作が可能である。

【0014】本発明のその他の特徴および効果は、図面を参照した以下の説明でより明確になるものである。

【0015】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。

【0016】＜第1実施形態＞図1は、本発明の第1実施形態に係る強誘電体メモリ100の図である。メモリ100は、プラグ13と、プラグ13上方に形成されたMFM構造を有する強誘電体キャパシタ(以下「MFMキャパシタ」とする)30と、プラグ13上のMFMキャパシタ30との接界面に形成されたバリア層12を含む。MFMキャパシタ30は、上部電極33と、下部電極31と、上部電極33および下部電極31の間に挟まれた強誘電体32とから成る。バリア層12は、炭化物膜またはホウ化物膜を含んでいる。メモリ100はまた、ゲート22、ソースおよびドレイン23a、23bから成るトランジスタと、ビット線10を含む。図1の

例では、MFMキャパシタ30は、ビット線10の下方に位置する。MFMキャパシタ30の下部電極31は、タングステン(W)のプラグ13を介して、ソース/ドレインのいずれか一方に接続されている。図1の例では、下部電極31は、たとえばドレイン23bに接続されている。ソース・ドレインの他方(図1では23a)は、ビット線10に接続されている。MFMキャパシタ30とビット線10とは、図1の平面外で接続されている。

10 【0017】本発明の強誘電体メモリの特徴として、プラグ13とMFMキャパシタ30の下部電極31との間に、ホウ化物または炭化物から成る導電性のバリア層12を有する。バリア層12は、第1実施形態では W_2B 膜である。MFMキャパシタ30の下部電極と接続されるプラグ13の上部を、ホウ化物または炭化物のバリア層12で覆う理由は、本来プラグ材料として用いられるタングステンの表面は変化しやすく、剥がれやすいという問題点を解消するためである。プラグ表面の接着が良好にできないと、下部電極との接続、導通を良好に保つことができない。そうすると、メモリの動作にエラーが生じやすくなる。

【0018】第1実施形態のバリア層12は、電気抵抗が低く、酸化、還元がされにくい W_2B で形成されている。 W_2B の比抵抗は $50\mu\Omega\cdot\text{cm}$ 程度と低く、かつ、 800°C まではほとんど酸化が見られず安定である。また、 W_2B の熱膨張率はタングステンの熱膨張率と近く(ともに $4\sim5\times10^{-6}/\text{K}$)、RTA(RapidThermal Anneal)処理のようなヒートショックに対して剥がれが生じない。また、バリア層12にCo、Cr、Ta、Zr、Hfを同時添加することによって、熱膨張率をさらに調整することができる。このような調整により、膜の付着性がさらに向上する。

【0019】図1の強誘電体メモリ100を形成するには、まず、シリコン基板20にシリコン酸化膜から成る絶縁膜を形成し、拡散処理、酸化膜形成、ドーピング、導電層積層後、層間絶縁膜15を点線Aの位置まで形成する。これによりゲート22、ソースおよびドレイン23a、23bから成るトランジスタを得る。このようなトランジスタの形成は周知の方法でよい。

40 【0020】次に、フォトリソグラフィおよびエッチングにより、ドレイン23bに達するパイア・ホールを形成し、タングステンを充填して、プラグ13を形成する。プラグ13の上面にボロンをイオンプランテーションで注入し、 W_2B バリア層12を約1000Åの深さに形成した。

【0021】この後、バリア層13およびプラグ14の上面をCMPで平坦化し、さらにバリア性を高めるために、TiN(窒化チタン)層12cを約500Åの厚さにスパッタリング形成し(図3参照)、 800°C のアンモニアガス中で加熱処理した。TiN膜12cを設ける

ことにより、キャパシタ30の電極成分Ptや強誘電体成分が下層へ拡散することを防止することができる。

【0022】このTiN膜12c上に、Pt（白金）膜を1000Åの厚さにスパッタリング形成して、下部電極31を形成した。下部電極31上に、スピコート法により $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 膜を1200Åの厚さに形成し、熱処理により結晶化を行った。これにより強誘電体層32が形成される。強誘電体層32の上に、下部電極31と同様の方法で、上部電極33を形成した。これらの積層（TiN層12c、下部電極層31、強誘電体層32、上部電極層33）を、RIE（反応性イオンエッチング）により、キャパシタ30の形状にドライエッチング加工した。

【0023】キャパシタ30および層間絶縁層15を覆って層間絶縁層16を形成し、ソース23aと接続するコンタクトホール14を形成した。さらに、ビット線10や、その他の配線層を周知の方法で形成し、強誘電体メモリ100を完成した。上記下部電極31の形成は、層間絶縁層15に溝部を形成し、Pt（白金）を埋め込むことによって形成してもよい。この場合は、下部電極31の表面を平坦化した後に、強誘電体層32および上部電極33を堆積する。

【0024】このような強誘電体メモリ100は、タングステンプラグ13の上部に、タングステンと熱膨張率の近い W_2B バリア層12を有するので、プラグ13とキャパシタ30の下部電極31との間の接着性が各段に向上することになる。得られたメモリ素子は、1.5V以下で駆動することができ、かつプラグ13の剥がれを効果的に防止したことから、動作の信頼性を高めることができた。具体的には、 10^{11} 回以上の動作で、コンタクト不良に起因する不良ビットが生じなかった。また、読み出しパルス80nsec、書き込みパルスを120nsecとした場合に、80%以上の良品率が達成され、十分な記録保持特性が得られた。

【0025】さらに、メモリ素子形成後、配線やMFMキャパシタをエッチング除去してトランジスタを取り出して成分分析を行った。トランジスタからは、電極成分Ptや、強誘電体成分は検出されず、効果的に拡散が防止されていることが確認された。

【0026】なお、第1実施形態の強誘電体メモリの形成工程で、熱処理雰囲気をも N_2 とした場合に、メモリ動作に問題はなかったが、スタンバイ電流が若干増加した。一方、熱処理の雰囲気を O_2 とした場合は、熱処理温度を800℃まであげると、コンタクト不良ビットが発生した。これは、800℃を越えるあたりから、 W_2B の酸化反応が進むためと思われる。

【0027】そこで、図3に示すように、 W_2B バリア層12aの上に、さらに Ir/IrO_2 積層12bを介在させた。この場合、 W_2B バリア層12a、 Ir/IrO_2 積層12b、およびTiN層12cで、バリア層12を構成す

る。 Ir/IrO_2 積層12bを介在させることにより、 O_2 雰囲気中で800℃程度の熱処理を行った場合も、コンタクト不良ビットが解消され、スタンバイ電流も低下した。

【0028】本実施形態の W_2B バリア層12に代えて、炭化タングステン（たとえばWC）のバリア層を用いてもよい。WCの酸化進行度は、酸素存在下で、700℃×1hrの条件で0.165Kg/m²程度であり、1000℃×2hrという条件でも0.376Kg/m²までしか酸化が進まない。WCはまた、窒素処理に対しても安定で、融点までWNxを生じない。炭化が充分でない場合、たとえば半炭化タングステン（ $\text{W}_{0.5}\text{C}$ ）では、窒素処理において500℃程度で酸化されるが、窒素処理に対しては安定で、融点までWNxを生じない。

【0029】また、熱膨張率についても、タングステンの熱膨張率が $4\sim 5\times 10^{-6}/\text{K}$ に対し、炭化タングステンWCの熱膨張率が $4\sim 7\times 10^{-6}/\text{K}$ と近い値であるため、熱処理工程においても剥がれが生じない。

【0030】＜第2実施形態＞図2は、本発明の第2実施形態に係る強誘電体メモリ200の図である。第2実施形態では、MFMキャパシタ30をビット線10の上部に形成し、バリア層12を、タングステンプラグ13との接触面を含み、下部電極12の底面全体にわたって形成している。第2実施形態では、バリア層12を下部電極31の低部全面に形成するために、焼結ターゲットを用い、スパッタリングにより厚さ約1000Åの W_2B 膜を形成した。この後、第1実施形態と同様に、拡散防止用のTiN膜を形成し、下部電極31のためのPt層、強誘電体層32のための $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 膜、および上部電極33のためのPt層を順次形成する。 W_2B バリア層12とTiN層の間に、 Ir/IrO_2 膜を介在させてもよい。

【0031】この強誘電体メモリ200も、タングステンプラグ13とMFMキャパシタ30の下部電極31との間に、熱膨張率がタングステンと近い W_2B バリア層12を有する。これにより、タングステンプラグ13がキャパシタ電極から剥離することを防止し、接触性を良好に維持することができる。また、下部電極底面に設けたTiN層により、電極成分または強誘電体成分の下層への拡散を防止することができる。

【0032】図1および図2に示すMFMキャパシタ30は、上部電極33および強誘電体層32が、下部電極31と同形状に形成されている。しかし、上部電極33と強誘電体層32については、隣接するセルアレイと共通としてもよい。ただし、この場合は、上部電極33を駆動させる方式でメモリを動作させると、上部電極33と他の配線層との間の寄生容量が増大し、高速動作の妨げとなる。このような問題に対処するには、電源電圧の1/2の電圧で強誘電体膜を分極反転させる必要があ

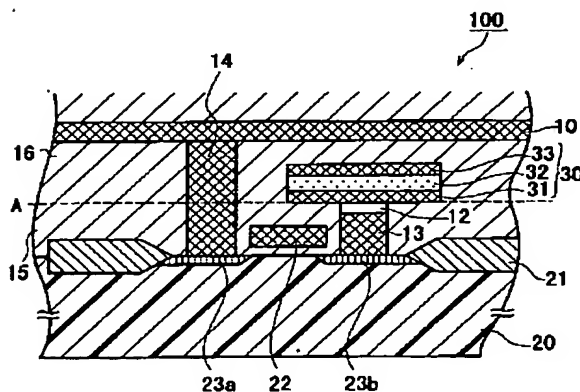
る。本発明では、第1および第2実施形態において、反転電圧の低い層状化合物 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ からなる強誘電体膜を使用している。この構造で、上部電極駆動方式であっても、電源電圧2Vで安定動作させることができた。また、プラグ上にMFMキャパシタを配置する構成により、図4に示す従来のメモリ素子に比べ、接触性を高く維持したまま、セル面積を40%減少させることができた。

【0033】本発明の強誘電体メモリの強誘電体材料として、PZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、PLZT($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)、PLT($(\text{Pb}, \text{La})\text{TiO}_3$)などがある。しかし、鉛(Pb)を含む強誘電体は環境上の問題があり、デバイス製品の回収も必要であるため、将来的には非Pb系強誘電体を用いることが望ましいと考えられる。第1および第2実施形態で使用したビスマス(Bi)を含有する層状化合物 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ に代え、Biを含有しない層状化合物の $\text{Sr}_2(\text{Ta}, \text{Nb})_2\text{O}_7$ を用いることもできる。このような層状化合物の強誘電体を用いた素子では、書き換え回数を増やしても強誘電性に変化が見られないため、有望視されている。

【0034】一方、電極材料に関しては、Pt、Irのような貴金属の他に、酸化物導電体を用いることも考えられる。酸化物の導電体は触媒作用がなく、強誘電体への水素ダメージが軽減できるという利点を有する。

【0035】バリア層12としては、 W_2B 膜に代え、 SiC 、 ZrC 、 WC 、 W_2C 、 HfC 、 TaC などの炭化物膜、あるいは、 ZrB_2 、 HfB_2 、 TaB_2 、 NbB_2 、 LaB_6 などのホウ化物膜を用いることができる。これらは、いずれも比抵抗が $20\mu\Omega\cdot\text{cm}\sim 100\mu\Omega\cdot\text{cm}$ と、十分に低いコンタクト抵抗を有する。さらに、 WB_x で表現されるホウ化物には、 WB 、 WB_2 、 W_2B_5 、 WB_{12} 、 $\text{W}_{10}\text{Si}_3\text{B}_3$ などがある。これらの酸化の程度には差があり、低級ホウ化物

【図1】



である W_2B や WB の酸化反応は 800°C 以上、高級ホウ化物 W_2B_5 の酸化反応は 1200°C 以上である。

【0036】

【発明の効果】上述したように、本発明のバリア層は、本来の電気抵抗が低いばかりではなく、酸化や還元されにくいいため、インテグレーション後にもコンタクト抵抗を上げることなく、高速動作が可能である。

【0037】また、本発明のバリア層は、その熱膨張率がプラグ材料の熱膨張率に近いため、熱処理工程でもプラグとMFMキャパシタの下部電極との間に剥がれが生じない。したがって、エラーの発生を大幅に低減し、メモリ動作の信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態にかかる強誘電体メモリの断面図である。

【図2】本発明の第2実施形態にかかる強誘電体メモリの断面図である。

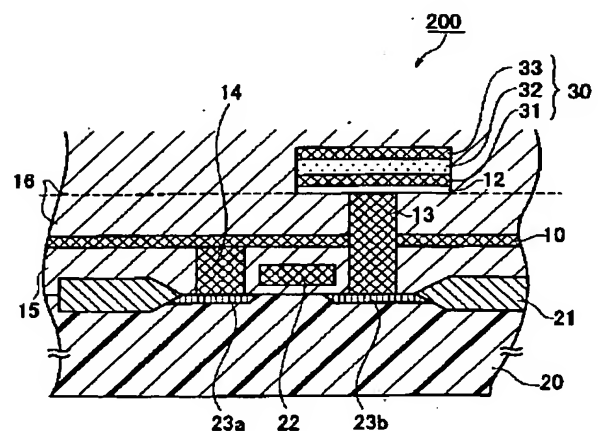
【図3】図1に示すプラグとMFMキャパシタの下部電極との間のバリア膜の構成を示す断面図である。

【図4】従来の強誘電体メモリの断面図である。

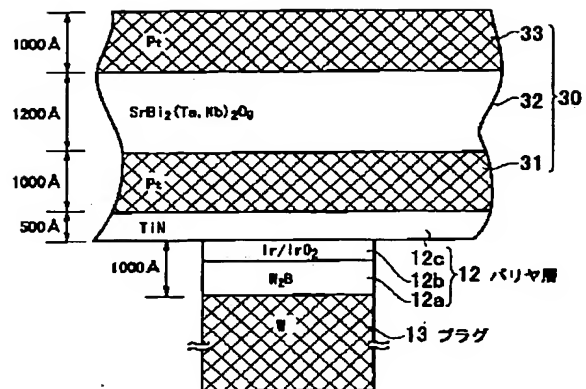
【符号の説明】

- 10 ビット線
- 12 バリア層
- 13 プラグ
- 15、16 層間絶縁膜
- 20 基板
- 21 フィールド酸化膜
- 22 ゲート
- 23 ソース・ドレイン
- 30 MFMキャパシタ
- 31 下部電極
- 32 強誘電体層
- 33 上部電極

【図2】



【図3】



【図4】

